

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

03248753 **Image available**

THIN FILM SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUB. NO.: 02-224253 [JP 2224253 A]

PUBLISHED: September 06, 1990 (19900906)

INVENTOR(s): KO CHIYUUKOU
 AOYAMA TAKASHI
 ANDO HIDEMI
 KONISHI NOBUTAKE

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 01-042993 [JP 8942993]

FILED: February 27, 1989 (19890227)

INTL CLASS: [5] H01L-021/336; H01L-021/268; H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS)

JOURNAL: Section: E, Section No. 1004, Vol. 14, No. 528, Pg. 144,
 November 20, 1990 (19901120)

ABSTRACT

PURPOSE: To reduce the process number by making a protective film and a gate insulating film of the same film.

CONSTITUTION: After piling amorphous silicon films 2 on a glass substrate 1, this silicon film 2 is cut into islands by a hot etching process. Then, oxide silicon films 3 are deposited on this silicon film 2 and excimer laser light 4 having the wavelength of 308nm is irradiated from above the oxide film 3 to anneal the amorphous silicon film 2. That is, the silicon oxide film 3 is used as a protective film for laser light irradiation, later, a gate electrode 34 is provided on the insulating film 3 for using the silicon oxide film 3 in a laser irradiation region as a gate insulating film as it is. Thereby, the process can be reduced.

DIALOG(R)File 352:DERWENT WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

008429118 **Image available**

WPI Acc No: 1990-316119/199042

**Mfr. of thin-film FET - forms gate insulation film by annealing silicon
oxide film on semiconductor film by irradiation with light beam**

NoAbstract Dwg 1/2

Patent Assignee: HITACHI LTD (HITA)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
<u>JP 2224253</u>	A	19900906	JP 8942993	A	19890227	199042 B

Priority Applications (No Type Date): JP 8942993 A 19890227

Title Terms: MANUFACTURE; THIN; FILM; FET; FORM; GATE; INSULATE; FILM;
ANNEAL; SILICON; OXIDE; FILM; SEMICONDUCTOR; FILM; IRRADIATE; LIGHT;
BEAM ; NOABSTRACT

Derwent Class: L03; U11

International Patent Class (Additional): H01L-021/33; H01L-029/78

File Segment: CPI; EPI

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

平2-224253

⑫ Int. Cl.³

H 01 L 21/336
21/268
29/784

識別記号

庁内整理番号

Z 7738-5F

⑬ 公開 平成2年(1990)9月6日

8624-5F H 01 L 29/78 3 1 1 Y

審査請求 未請求 請求項の数 4 (全4頁)

⑭ 発明の名称 薄膜半導体装置の製造方法

⑮ 特 願 平1-42993

⑯ 出 願 平1(1989)2月27日

⑰ 発 明 者 胡 中 行 茨城県日立市久慈町4026番地 株式会社日立製作所日立研
究所内
⑱ 発 明 者 青 山 隆 茨城県日立市久慈町4026番地 株式会社日立製作所日立研
究所内
⑲ 発 明 者 安 藤 英 美 茨城県日立市久慈町4026番地 株式会社日立製作所日立研
究所内
⑳ 発 明 者 小 西 信 武 茨城県日立市久慈町4026番地 株式会社日立製作所日立研
究所内
㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
㉒ 代 理 人 弁理士 小川 勝男 外2名

明 細 書

1. 発明の名称

薄膜半導体装置の製造方法

2. 特許請求の範囲

1. 絶縁基板上に形成される薄膜半導体装置の製造方法において、薄膜半導体装置を形成する半導体膜の上にシリコン酸化膜を形成した後、その膜を通して、光を照射して、半導体膜をアニールし、光照射領域のシリコン酸化膜をそのままゲート絶縁膜にすることを特徴とする薄膜半導体装置の製造方法。

2. 絶縁基板上に形成される薄膜半導体装置を製造する方法において、薄膜半導体装置を形成する半導体膜の上に、厚さが1000Å以上、2000Å以下の範囲でかつ、照射する光の波長を入としたときに、膜厚が

$$\frac{1}{5.94} \times n \pm 200 \text{ Å} \quad (n = 1, 2, 3, \dots)$$

となるようにシリコン酸化膜を形成した後、その膜を通して所定波長入の光を照射して、半導体膜をアニールし、光照射領域のシリコン酸化

膜をそのままゲート絶縁膜にすることを特徴とする薄膜半導体装置の製造方法。

3. 絶縁基板上に形成される薄膜半導体装置を製造する方法において、薄膜半導体装置を形成する半導体膜の上に、厚さ1300Å以上、1700Å以下のシリコン酸化膜を形成した後、その膜を通して波長308nmの光を照射して半導体膜をアニールし、光照射領域のシリコン酸化膜をそのままゲート絶縁膜として使用することを特徴とする薄膜半導体装置の製造方法。

4. 請求項2において、上記半導体膜をシリコン膜にすることを特徴とする薄膜半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はエネルギービームを用いた薄膜半導体装置の製造方法に係り、特にレーザアニールなどにおける光プロセスに関する。

〔従来の技術〕

従来は特開昭62-2068 13号公報に記載のよう

に、薄層トランジスタの半導体層をビームアニールで再結晶化する当り、空気中の不純物が混入しないように半導体層に保護膜を設けて行っていた。アニール後、この保護膜を除去して、ゲート絶縁膜を設けて、ゲート膜を形成する。この際、保護膜の特性として、

- ① エネルギービームの透過性が良いこと。
- ② エネルギービームに対して、反射防止の役目になること。
- ③ 再結晶化すべき半導体層の物質とヌレが良いこと。
- ④ アニール後に容易に除去出来ること。

が要求される。

そのため、一般に SiO_2 、 SiN 、 W 膜などが用いられる。

又、ゲート絶縁膜の特性として

- ① 絶縁耐圧が十分であること。
- ② 再結晶すべき半導体層の物質とヌレが良いなど半導体層と、良い界面が出来ること。

が要求される。

0 Å以上、1700 Å以下のシリコン酸化膜を形成しゲート絶縁膜として使われる。

このシリコン酸化膜を通して、波長308 nmの紫外光を照射して、半導体膜層をアニールしてこのシリコン酸化膜をレーザ光照射保護膜として使用し、その後、その絶縁膜上にゲート電極を設けレーザ照射領域の前記シリコン酸化膜をそのままゲート絶縁膜として用いる方法である。

(作用)

以下、本発明の作用について説明する。

半導体膜表面には種々の不純物が吸着しており、半導体膜上を堆積させると、これらの不純物が半導体-絶縁物の界面単位を形成する。しかし、レーザによって半導体層をアニールすると、界面付近の不純物は半導体の厚さ方法に拡散し、MOS構造によって半導体-絶縁物界面に誘起されたキャリアはトラップされる確立が減る。このため、キャリアの移動度は増加し、トランジスタのしきい電圧は減少する。ここで、絶縁膜をエッチングにより除き、新たにゲート絶縁膜を堆積させると、

そのため、 SiO_2 が最も一般に使われている。
(発明が解決しようとする課題)

レーザ照射の保護膜、ゲート絶縁膜はそれぞれの目的に合せ、その材料及び膜の厚さが使われている。そのため、膜の形成は別々のプロセスで行われている。その結果、プロセス数が多いことに問題があった。又、上述保護膜のエッチング工程において、半導体層の損傷やエッチングによる汚染などの問題があった。

本発明の目的は、保護膜とゲート絶縁膜を同一膜にすることによって、プロセス数を低減し、又保護膜のエッチング工程をなくすことによって、清浄な半導体-絶縁膜界面を得ようとするのである。

本発明の他の目的は、適切に膜の厚さを選択することによって、光照射の効率を最高に保ちながら、耐圧力を持つゲート絶縁膜を得ることにある。
(課題を解決するための手段)

上記目的を達成するために以下の手段を用いた。
すなわちアニールすべき半導体膜層の上に130

半導体-絶縁膜界面にはエッチングによる損傷が入るだけでなく、再度、不純物が取込まれることになる。したがって、キャリアの移動度は減少し、トランジスタのしきい電圧は増加する。

レーザ光が酸化シリコン膜を通して、半導体膜に照射される際に、干渉効果によって、半導体膜に到達する光の強度は変る。この干渉効果は、入射光の波長、酸化シリコンと半導体膜の光学係数及び酸化シリコンの厚さに依存する。

波長308 nmの光を膜に垂直に照射する場合、酸化シリコンの厚さ(d)と半導体膜表面に到達する光の強度(T) (シリコン膜の透光率)との間、第2図に示すように次のような関係がある。

Tが最大になる条件は：

$$d = 520 \times (1 + 2N) \text{ Å},$$

$$N = 0, 1, 2, \dots$$

Tが最小になる条件は：

$$d = 1040 \times \text{Å}, N = 0, 1, 2, \dots$$

すなわち、酸化シリコン膜の厚さ(d)が520 Å, 1560 Å, ...の時、最も光照射の効率

が良いである。又、計算の精度を考慮に入れたら、それぞれ、 $500\text{Å} < d < 750\text{Å}$ 及び、 $1300\text{Å} < d < 1800\text{Å}$ の範囲になる。

一方、多結晶シリコンで構成されるTFTの場合、ゲート電圧は約10～50Vである。この電圧で絶縁膜を起こさせないためにはゲート絶縁膜を1200Å～1700Åの酸化シリコンにすればよい。しかもしきい電圧はさきほど上昇しないで済むことが分かった。

以上によって、光照射保護膜とゲート絶縁膜の共通膜として、酸化シリコンを1500±200Å、シリコン膜の上に形成し、その上から308nmのレーザー光を照射し、ゲート膜を設ければ、保護膜とゲート絶縁膜の良法の機能を得られる。又、保護膜とゲート絶縁膜を一つの膜にすることによって、プロセスを1つ低減出来る。

〔実施例〕

以下、本発明の一実施例を第1図により説明する。第1図に示すように、至点580℃のガラス基板(1)の上に、LPCVD法により、約15

600で、24時に於て、ソース(31)、ドレイ(32)領域の不純物活性化を行う。その後、A₃配線(36)し、透明電極ITOを堆積させる。ホットエッチ工程によって液晶ディスプレイ用TFTを形成する。

上述した実施例では、照射光の波長は308nmとしたが、それ以外の波長の光の場合も本発明は使える。たとえば、波長が248.4nmのKrFレーザーの場合、最適酸化シリコン膜の厚さは1200Å以上1400Å以下である。

さらに、上述実施例では、再結晶すべき半導体層(2)をシリコン膜としたが、それ以外の任意好きな材料の半導体層としても良い。

〔発明の効果〕

本発明によれば、レーザー照射保護膜とゲート絶縁膜を同一膜にすることが出来るので、プロセスの低減が出来る。

又、レーザー照射保護膜のエッチング工程をなくしたことによって、この工程によって起こる半導体層の損傷、汚染の起こる可能性がなくなった。

00Åの厚さのアモルファスシリコン膜(2)を堆積させた後、このシリコン膜をホット、エッチの工程によって、島切った。このシリコン膜の上にAPCVD法により酸化シリコン膜(3)を1560Åデポした。この酸化シリコン膜(3)の上から波長308nmのエキシマレーザを300mJ/cm²の強度で照射し、アモルファスシリコン膜(2)をアニールした。この際第2図に示すように、アモルファスシリコン膜上の酸化シリコン膜の厚さが1300Å以上、1800Å以下であれば、レーザ光の透光率が最も良い。このため、効率良くシリコン膜をアニールできた。

その後、第3図の薄膜トランジスターの断面構造図に示すように、酸化シリコン膜3をそのままゲート絶縁膜にし、そのゲート電極線にLPCVDシリコン膜を1000Å堆積させる(34)。ホット、エッチ工程によって素子部を形成し、イオン打ち込み法によりP(リン)を30keVのエネルギーで 5×10^{14} のドーズ量を与える。その上にキャッピング膜(35)を1000Å形成した後、

さらに、光の干渉効果を利用して、酸化シリコン膜の厚さを1300Å以上、1700Å以下すなわち、光の透光率の最も良い厚さにすることによって、光照射エネルギーを最大限に利用することが出来る。

4. 図面の簡単な説明

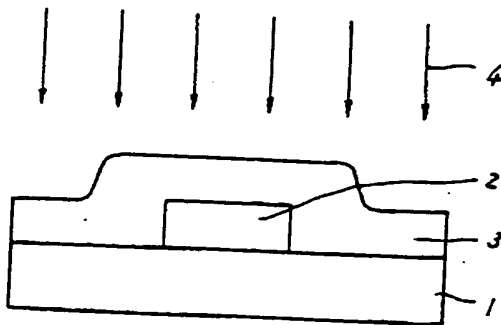
第1図は本発明を示すレーザー照射時の半導体を構成する膜の断面図である。第2図はシリコン膜上に形成される酸化シリコン(SiO₂)膜の厚さとその膜を透過する波長308nmの光の透過光強度の関係を示す図である。第3図は本発明を応用した一実施例(TFT)の断面構造図である。
2…保護膜、ゲート絶縁膜となる酸化シリコン膜、4…レーザー光、34…ゲート電極膜

代理人 弁理士 小川 勝男



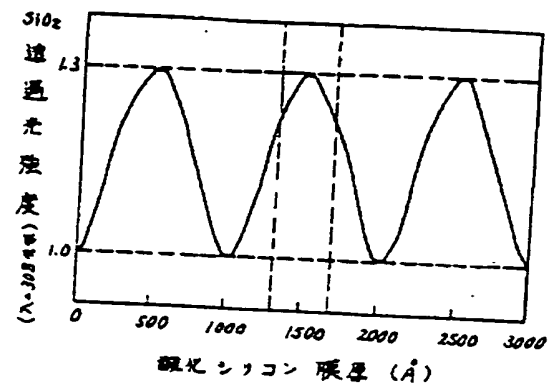
図面の浄書(内容に変更なし)

第 1 図

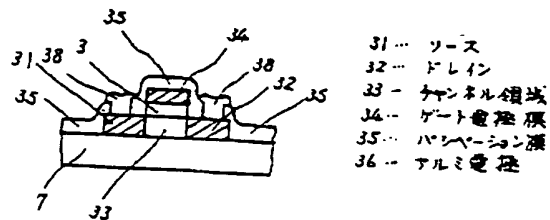


- 1- ガラス基板
- 2- シリコン膜
- 3- 酸化シリコン膜
- 4- レーザ光

第 2 図



第 3 図



手続補正書(方式)

平成1年6月26日

特許庁長官 吉田文毅殿

事件の表示

平成1年特許願第 42993 号

発明の名称 薄膜半導体装置の製造方法

補正をする者

事件との関係 特許出願人

〒 東京都 株式会社 日立製作所

方式 古川



代理人

〒 東京都千代田区丸の内一丁目5番1号

株式会社 日立製作所内 北条 康雄(特許代理人)

氏 名 (印) 弁護士 小川 勝

補正命令の日付 平成1年6月30日(発送日)

補正の対象

図面の全部

補正の内容

図面に最初に添付した図面の浄書・別紙のとおり
(内容に変更なし)